

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-236899

(43)Date of publication of application : 19.09.1990

(51)Int.Cl.

G11C 11/413

(21)Application number : 02-041008

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.02.1990

(72)Inventor : ITO KIYOO
HORI RYOICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable high integration by setting a voltage, which is lower among voltages applied to memory elements, lower than a voltage applied to a peripheral circuit.

CONSTITUTION: An external voltage V_{cc} is inputted to a substrate voltage generating circuit 20, which generates, for example, $-3V$ as the bias voltage of a substrate 10. The degree of integration of a memory is determined normally by the degree of integration of a circuit part 40 consisting of the peripheral circuit connected directly to a memory array. For the purpose, the operating voltage of an MOSFET Q_m is lowered to reduce the size of the FET Q_m . The circuit 50 consisting of other control circuits, i.e. circuits controlling peripheral circuits directly, on the other hand, occupies the total area of the chip by about 10%, so an MOSFET of small size need not be used specially. Therefore, an MOSFET Q_p of large size is used to set the drain voltage of the FET Q_p to the voltage V_{cc} higher than the drain voltage V_{DP} of the FET Q_m . Consequently, the voltage V_{cc} is used as the operating voltage to enable the FETs Q_p and Q_m to operate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-13875

(24) (44) 公告日 平成7年(1995)2月15日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/413				
11/407				
11/41				
			G 1 1 C 11/ 34	3 3 5 A
				3 5 4 D
			発明の数 1 (全 13 頁) 最終頁に続く	

(21) 出願番号 特願平2-41008
 (62) 分割の表示 特願昭56-57143の分割
 (22) 出願日 昭和56年(1981)4月17日
 (65) 公開番号 特開平2-236899
 (43) 公開日 平成2年(1990)9月19日
 審判番号 平4-14000

(71) 出願人 999999999
 株式会社日立製作所
 東京都千代田区神田駿河台4丁目6番地
 (72) 発明者 伊藤 清男
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 堀 陵一
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内
 (74) 代理人 弁理士 小川 勝男 (外1名)

審判の合議体
 審判長 飯高 勉
 審判官 大橋 隆夫
 審判官 羽鳥 賢一

最終頁に続く

(54) 【発明の名称】 半導体集積回路

1

【特許請求の範囲】

【請求項1】 ワード線と、
 該ワード線と交叉するように設けられたデータ線と、
 該ワード線と該データ線の交点に設けられたメモリセルと、
 上記ワード線に接続されたワード線駆動回路と、
 上記データ線に接続されたプリチャージ回路とをそのチップ上に具備してなり、
 上記メモリセルは上記ワード線にゲートが接続され、ドレインまたはソースが上記データ線に接続されたトランジスタを有してなる半導体集積回路であって、
 チップ外部から外部電源電圧が供給され、該外部電源電圧が所定の値以上のときには上記外部電源電圧よりも小さい内部電圧であって、かつ、上記外部電源電圧が上記所定の値以上のときには上記外部電源電圧の電圧変動の

2

大きさよりその電圧変動の大きさが小さい内部電圧を発生する内部電圧発生回路を上記チップ上にさらに具備してなり、
 上記プリチャージ回路は上記内部電圧が供給されるとともに上記データ線をプリチャージし、
 上記ワード線の選択時に上記ワード線駆動回路から上記ワード線に印加されるワード線駆動電圧は上記内部電圧を昇圧することにより生成され、
 該昇圧による上記ワード線駆動電圧は上記データ線に印加される上記内部電圧より大きな値に設定されたことを特徴とする半導体集積回路。

【請求項2】 上記外部電源電圧が上記所定の値以上のときには、上記内部基準電圧は略安定化された電圧であることを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3

【請求項3】上記メモリセルは1つのトランジスタと1つのキャパシタとから構成されたダイナミックメモリセルであることを特徴とする特許請求の範囲第1項または第2項のいずれかに記載の半導体集積回路。

【請求項4】上記ダイナミックメモリセルの上記キャパシタの一方の電極は上記トランジスタに接続され、他方の電極には上記内部電圧を基準とした電圧が印加されることを特許請求の範囲第3項記載の半導体集積回路。

【請求項5】上記チップは少なくともチップ外部から印加される外部アドレス信号が印加されることにより少なくともチップ内部に供給される内部アドレス信号を出力する周辺回路を有してなり、該周辺回路には上記外部電源電圧が印加されてなることを特徴とする特許請求の範囲第1項から第4項のいずれかに記載の半導体集積回路。

【請求項6】電源変動特性を有した外部電源が上記チップに接続されたことを特徴とする特許請求の範囲第1項から第5項のいずれかに記載の半導体集積回路。

【請求項7】上記データ線は、上記メモリセルから上記データ線に読み出された信号を増幅するセンスアンプに接続されたことを特徴とする特許請求の範囲第1項から第6項のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、高密度の集積回路に関し、とくに、高密度の半導体メモリに好適な集積回路に関する。

【従来の技術】

従来、半導体メモリの高集積化のために、特開昭51-104276では、2種のゲート酸化膜厚と2種のゲート領域表面濃度を組み合わせた技術が提示されている。また、特開昭50-119543には、メモリアレー部のSi表面を高濃度にイオン打ちこみすることによって、メモリアレー部のトランジスタのチャネル長をより小にしたり、拡散層間隔をより小にして集積度を向上させる技術が提示されている。

【発明が解決しようとする課題】

上述の技術によって、トランジスタ等の回路素子の寸法を小さくした場合、これらの回路素子の絶縁破壊に対する耐圧が小さくなってしまふ。

一方ユーザの使いやすさからみれば、外部からの印加電圧（メモリLSIのパッケージの電源ピンに印加される電圧）は、メモリを構成するトランジスタの寸法いかんによらず一定にしたいという要望がある。したがって外部からの印加電圧を下げることは望ましくない。したがって、上述の従来技術によっては、高い外部電圧を用いることのできる高集積度のメモリを実現することは出来ない。このことはメモリに限らず、他の集積回路にもあてはまる。

したがって、本発明の基本的技術課題は、高い外部電圧

4

を用いることができ、寸法が小さく、低い動作電圧で動作する回路素子を内部に有する高集積度の集積回路を提供することにある。

一方、メモリセルをチップ内に集積化した半導体メモリ集積回路においては、メモリセルを高い外部電源電圧より低く安定化された内部電圧によって動作させることにより、メモリセルを小寸法トランジスタで構成する必要があるが、ワード線にはワード線駆動回路が接続され、データ線にはセンスアンプとプリチャージ回路とが接続されており、ワード線駆動電圧とデータ線に印加されるプリチャージ電圧とをどのように設定すれば良いかが問題となる。

まず、メモリセルの読み出し電圧および書き込み電圧を大きくし、読み出し時間および書き込み時間を短くするにはワード線駆動電圧を大きくすれば良いので、ワード線駆動電圧を高い外部電源電圧によって設定すると、逆に外部電源電圧が低くなった時にこれらの電気的特性が大きく変化しまい、またワード線駆動電圧を外部電源電圧より低く安定化された内部電圧によって設定すると読み出し電圧および書き込み電圧が小さくなり、読み出し時間および書き込み時間が長くなってしまふと言う問題が、本発明者の検討によって明らかとされた。

また、データ線のプリチャージ電圧である内部電圧はデータ線の充放電電流を決定するので、データ線の充放電による消費電力を低減し、かつ、外部電源電圧の増大に伴うこの消費電力の増大を低減するためには、データ線のプリチャージ電圧である内部電圧を外部電源電圧より低く安定化しなければならないと言う問題も本発明者の検討によって明らかとされた。

特に、半導体メモリの消費電力の増大は半導体チップ温度上昇をもたらし、メモリセルのトランジスタのソース領域もしくはドレイン領域と基板との間のPN接合のリーク電流が増大して、メモリセルのデータ保持特性を劣化させ、ダイナミック・メモリではリフレッシュ時間を短くしなければならないと言う問題も同様に明らかとされた。

従って、本発明の目的は、データ線充放電に伴う消費電力が低減され、メモリセルからの読み出し電圧変動およびメモリセルへの書き込み電圧変動が軽減された高速、低消費電力の半導体集積回路を提供することにある。

【課題を解決するための手段】

上記基本的技術課題を達成するために、本発明は、これらの回路素子に与える電源電圧又はこれらの回路によって発生される信号電圧は、回路素子の寸法を小さくしたことに伴って小さくすることとしたものである。

すなわち、本発明では、集積回路の次の特徴に注目した。

(1) 一般に集積回路の内、外部入力端子に接続された回路素子の耐圧は高くなければならぬ。この端子に外部から高い電圧が供給されても、また、静電力が発生し

5

ても、この素子が破壊されないようにするためである。したがって、この外部入力端子に接続された回路素子の寸法は大きくすることが実際上必要である。

(2) 集積回路の内、内部の回路は前述のごとく、寸法を小さくし、それにより耐圧が小さくなくても破壊されないようにするために、それらへ供給する電源電圧あるいはそれらにより発生される信号電圧の値を小さくすることが望ましい。これらの点を考慮し、本発明では、大きな振幅の信号にตอบสนองする第1の回路内の回路素子は、耐圧が大きくなるように大きな寸法にて形成するとともに10に、この回路の出力信号にตอบสนองする第2の回路の回路素子は、高集積化するために小さい寸法にて形成する。更に、高い、第1の電源電圧が入力され、第2の回路にこの第1の電源電圧より低い第2の電源電圧を供給するための、寸法の大きな回路素子からなる電源回路を設け、第1の回路を第1の電源電圧が入力され、第2の電源電圧に対応した大きさの電圧を有する内部信号を発生するように構成する。第2の回路は、第2の電源電圧が入力され、この内部信号により起動され、第2の電源電圧に対応した大きさの電圧を有する信号を出力するように構成される。

本願で開示される発明の代表的な実施形態は、ワード線と、該ワード線と交差するように設けられたデータ線と、該ワード線と該データ線の交点に設けられたメモリセルと、上記ワード線に接続されたワード線駆動回路と上記データ線に接続されたプリチャージ回路とをそのチップ上に具備してなり、上記メモリセルは上記ワード線にゲートが接続され、ドレインまたはソースが上記データ線に接続されたトランジスタを有してなる半導体集積回路であって、チップ外部から外部電源電圧が供給され、該外部電源電圧が所定の値以上のときには上記外部電源電圧よりも小さい内部電圧であって、かつ、上記外部電源電圧が上記所定の値以上のときには上記外部電源電圧の電圧変動の大きさよりその電圧変動の大きさが小さい内部電圧を発生する内部電圧発生回路を上記チップ上にさらに具備してなり、上記プリチャージ回路は上記内部電圧が供給されるとともに上記データ線をプリチャージし、上記ワード線の選択時に上記ワード線駆動回路から上記ワード線に印加されるワード線駆動電圧は上記内部電圧を昇圧することにより生成され、該昇圧による上記ワード線駆動電圧は上記データ線に印加される上記内部電圧より大きな値に設定されたことを特徴とする。

〔作用〕

上述のように構成した結果、第1、第2の回路は、耐圧に関しての問題は解決でき、さらに、第2の回路は、小さい寸法の回路素子で形成されるために、また、集積回路全体の中では、第2の回路が占める面積が大きい

6

め、集積回路全体としてみたときに高集積化が図れる。内部電圧発生回路から発生される内部電圧は外部電源電圧と比較して小さな値に安定化されており、この小さな値に安定化された内部電圧がデータ線に印加されているので、データ線の充放電に伴う消費電力が低減される。また、ワード線駆動電圧も安定化された内部電圧を昇圧して大きな電圧に設定されているので、メモリセルの読み出し電圧および書き込み電圧を大きくでき、読み出し時間および書き込み時間を短くでき、高速の半導体集積回路を提供することができる。

本発明のその他の目的と特徴は、以下の実施例から明らかとなろう。

〔実施例〕

以下、実施例に従い本発明を説明する。

第1図は、本方式の概念を示すためのP型基板10からなるダイナミックメモリ用のメモリチップの断面図である。N型のモストランジスタ(MOST) Qpのゲート酸化膜

t_{ox2}

はMOST, Qmのゲート酸化膜

t_{ox1}

より厚くされ、MOST, QpのドレインDpには、高いドレイン電圧、たとえば外部電圧 V_{cc} (たとえば5V) が供給され、MOST, QmのドレインDmには、この電圧 V_{cc} が入力される内部電源電圧発生回路30 (これは実際には、基板10内に形成されている) により、 V_{cc} より低い電圧 V_{dp} (たとえば3.5V) が供給されている。

外部電圧 V_{cc} は、基板電圧発生回路20に入力され、ここで基板10のバイアス電圧たとえば-3Vを発生する。なお、回路20は、基板10の外部に記載されているが、実際には基板10の内部に設けられている。通常メモリの集積度は、メモリアレーとそれを駆動する、あるいはそれから出力される微小信号を増幅するセンスアンプ (図示せず) などの、メモリアレーに直接接続されている周辺回路 (直接周辺回路) からなる第1の回路部40の集積度で決まる。したがってこの部分のMOST, Qmの寸法を小さくしたい。この寸法はMOST, Qmの耐圧、あるいはホットエレクトロン、基板電流などの関係から、一般に動作電圧を低くすることによって小にすることは可能である。ここでは、MOST, Qmのゲート酸化膜

t_{ox1}

を薄くし、ドレイン電圧 V_{cc} より低い電圧 V_{dp} とし、チャネル長を短くしMOST, Qmの寸法を小さくすることを実現している。勿論、ゲートGmの電圧の最大値も一般的には V_{dp} にする必要がある。一方、その他の制御回路、つまり直接周辺回路を制御する回路 (間接周辺回路) からなる第2の回路部50は、チップ全体に占めるその面積は約10%であるから、特に寸法の小さなMOSTを使う必要もない。むしろこの間接周辺回路は外部の入力端子が接続されるから、静電破壊耐圧などが十分高くなければなら

7

ない。このためには一般にここのMOST Qpのゲート酸化膜

$$t_{ox2}$$

を厚くし、それに伴ない寸法（たとえばチャンネル長）の大きなMOST Qpを使う必要がある。ここでは、このゲート酸化膜

$$t_{ox2}$$

をゲート酸化膜

$$t_{ox1}$$

より厚くし、チャンネル長を長くしたことに伴ない、Qpのドレイン電圧を、Qmのドレイン電圧 V_{DP} より高い V_{CC} とする。勿論ゲートGpの電圧の最大値は一般的には V_{CC} とする。なお、Qp, QmのソースSp, Smはいずれもアース電位に保持される。第1図のように、高集積度に影響するメモリアレーと直接周辺回路からなる第1の回路部40のMOST Qmの寸法は小さくし、間隔周辺回路からなる第2の回路部50のMOST Qpの寸法はより大きくするわけである。またこうすることによって、チップ外部からの電源電圧（ V_{CC} :たとえば5V）を動作電圧とすることによって、MOST, Qpは動作可能となる。またQmは、 V_{CC} をチップ内で電圧変換して、より低い動作電圧（ V_{DP} :たとえば3.5V）で動作可能となる。一般に動作電圧を低くするほど、それに応じて V_{th} も低くするのが高速という点で望ましい。この点、MOSTの一般的特性からゲート酸化膜 t_{ox} が小になれば V_{th} も低くなるので、メモリの動作速度に大きな部分を占める第1の回路部の動作速度を高速化できる。したがって本方式は高速化という点でも都合がよい。尚、用途に応じてイオン打込み技術によって V_{th} を適宜調整できることは明らかである。

本方式は、1トランジスタ型メモリセルからなる実際のダイナミックN-MOSメモリに適用する場合、いくつかの考慮を払うことによって、より有効に使える。この一例を第2図に示す。これは折り返し型のデータ線を有するメモリである。このメモリは、外部電源電圧 V_{CC} （5V）を入力されて、約-3Vの基板バイアス発生回路20と、外部電源電圧 V_{CC} が入力されて、3.5Vの内部電源電圧 V_{DP} および3Vの直流電圧 V' を発生する内部電源発生回路30と、外部電源電圧 V_{CC} と、外部アドレス $Ai \sim Aj, Ai' \sim Aj'$ 、外部制御信号が入力され、内部アドレス信号 $ai \sim aj, ai' \sim aj'$ 、内部制御パルス $\phi_0, \phi_1, \phi_3, \phi_x, \phi_y$ を出力する間接周辺回路50と、電圧 V_{DP}, V' 、アドレス信号 $ai \sim aj, ai' \sim aj'$ 、制御パルス ϕ_0, ϕ_1, ϕ_3 により制御される、メモリアレーMAと直接周辺回路40とからなる。直接周辺回路には、XデコーダXD, YデコーダYD, プリチャージ回路PC, センスアンプSAとが含まれている。なお、第2図において、回路50Aは、間接周辺回路50の内、ワード線駆動パルスを発生する部分を別に取

8

り出して示したものである。この回路50A内において、パルス ϕ_1', ϕ_x は、間接周辺回路50内にて発生される回路である。

ここで、間接周辺回路50に入力される外部アドレス信号、外部制御信号はいずれも、外部電源電圧 V_{CC} とアース電位との間で変化する信号である。この回路50から出力されるパルスの内、 $\phi_1, ai \sim aj, ai' \sim aj'$ はいずれも内部電源電圧 V_{DP} とアース電位間で変化するパルスであり、パルス ϕ_0 は、プリチャージ用トランジスタQp, $\bar{Q}_p, Q_{DP}, Q_{YD}, Q_{XO}$ 、しきい値を V_{th} とすると、 $V_{DP} + V_{th}$ より大きいレベルを取るパルスであり、パルス ϕ_3 は、トランジスタ Q_A, \bar{Q}_A のしきい値だけ V_{DP} より低いレベルを取るパルスである。また、パルス ϕ_x, ϕ_y は約1.5 V_{DP} のレベルを取るパルスである。

本回路の動作は以下の通りである。

メモリアレーMA内の選択されたメモリセルMCから記憶情報に応じてデータ線 \bar{D} に現われる読み出し信号電圧は、ダミーセルDCからデータ線Dに現われる参照電圧を用いてセンスアンプSAにより情報“1”、“0”と判定されるわけだが、その過程は下記となる。すなわち、各データ絶対D, \bar{D} は、プリチャージ信号 ϕ_0 によって V_{DP} （ $< V_{CC}$ ）にプリチャージされた後、 ϕ_0 はオフとなり、D, \bar{D} は V_{DP} に保持される。このプリチャージ信号 ϕ_0 の振幅は、データ線プリチャージ回路PC中のMOST Qp, \bar{Q}_p の V_{th} のばらつきの影響を受けて、D, \bar{D} のプリチャージレベルが不平衡になる（これは読み出し時に等価的雑音となる）のを防ぐために V_{DP} よりも十分大きい（ $> V_{DP} + V_{th}$ ）振幅であればよい。次に Q_{CL} によりプリチャージ時に0Vにクリアされた選択ワード線W上のメモリセルMCを読み出すために、ワード起動パルス ϕ_x' （振幅は外部電源電圧 V_{CC} ）がワード電圧発生回路WGに印加される。この時デコーダXDはすでにアドレス $ai \sim aj$ によって選択されているから、ワードドライバMOST Qxsのゲートは高レベルに保持されている、すなわちQxsはオンになっている。ワード電圧発生回路WGは、パルス ϕ_x' を受けて、振幅 V_{DP} のパルス ϕ_x を出力するもので、その出力 ϕ_x は、W'からそのままWに伝わる。この場合、目的に応じて、例えばMCから \bar{D} への読み出し電圧を大にするためにWへの印加電圧を大にするために、ブートストラップ容量 C_B を介して ϕ_1 （振幅 V_{DP} ）を印加することも行われる。昇圧回路VUは、パルス ϕ_1' （振幅 V_{CC} ）を受けてパルス ϕ_1 を出力するものである。この場合の昇圧電圧は、 C_B とW'とWの和の寄生容量と ϕ_1 の振幅で決まるが、0.5 V_{DP} 程度は可能である。したがってWには1.5 V_{DP} 程度の振幅のパルスが生ずる。同時に第2図では省略したが、ほぼ同種の回路によってダミーワード線DWにも1.5 V_{DP} のパルス電圧が生ずる。これらによって、記憶容量 C_S に保持されていた情報に応じた記憶電圧は、 C_S とデータ線容量との関係で決まる微小電圧となって \bar{D} に現われる。

一方、Dには記憶情報に対応してDに現われた信号電圧の中間レベル(参照電圧)が、常に現われ、これらが、センスアンプSAで増幅されるわけである。尚増幅は、プリチャージに、データ線D、 \overline{D} からプリチャージされて $V_{DP}-V_{th}$ (ここで V_{th} は Q_A , \overline{Q}_A の V_{th})になっている ϕ_3 を0Vにすることによって行われる。このようにして増幅されたD、 \overline{D} の差動信号は、所定のYデコーダYDがアドレス $ai' \sim aj'$ によって選択され(したがって Q_{ys} のゲート電圧が高レベル)、 ϕ_y (振幅は $\sim 1.5V_{DP}$)が印加されることによって、各データ対線に共通な信号線I/O、 $\overline{I/O}$ に出力されてデータ出力となる。

さて通常のメモリでは、前述したように、 V_{CC} を5Vに維持したままで、高集積化していく、つまりMCを小にしていくと、当然耐圧が問題となってくるわけだが、本発明のように、集積度に直接的に関係するメモリセルMC、ダミーセルDCと、MCとほぼ同じピッチでレイアウトされる直接周辺回路ならびにMOST(例えば、SA, PC, XD, YD, Q_{xs} , Q_{ys} , Q_D , \overline{Q}_D , DC, Q_{cl})の動作電圧を下げれば、これらは耐圧の問題がなくなるために、小さい寸法の素子(MOS T, コンデンサ, 抵抗)を用いて小さな面積にレイアウト 20 できることになる。また一方、間接周辺回路の面積は、全体のチップ面積からみて、占める割合は小さいから、高い動作電圧でも安定に動作するより大きい寸法の素子を用いることができる。すなわち外部からみて高電圧で動作する高集積メモリが可能となる。

次に寸法を小にするための具体例を以下に列挙する。

① 酸化膜を選択的にうすくする; 一般にMOSTのゲート酸化膜厚が小になるほど小さいチャネル長Lでも正常なトランジスタ特性を示す。したがってチャネル長を小にして、小さな面積でレイアウトするには、ゲート酸化膜 30 を小にする必要がある。しかし前述したように、耐圧(ドレイン・ソース間)が低下する。したがって本発明のように、それぞれのチャネル長Lに応じて動作電圧を使いわけることが重要である。またMOS LSIでは、このうすい酸化膜をコンデンサとして用いることがよく行われる(第2図の C_B , C_S など)。この場合にも、うすいゲート酸化膜を用いれば小さい面積で大きな値のコンデンサも作れるので、このようなコンデンサを低電圧動作する個所に使うことができる。したがってうすい酸化膜がメモリアレーや直接周辺回路部で用いられるということ 40 は高集積化にとって本質的に重要である。

② ゲート酸化膜の小なるMOSTのLと V_{th} をより小にする;
うすい酸化膜が選択的に使えることにより、MOSTの一般的な特性から明らかなように、Lや V_{th} が小にできる。だから、この可能性を積極的に用いることによって、速度を低下させずに高集積化が可能である。なぜなら、うすい酸化膜の領域は動作電圧が低いわけで、このままでは低速動作しかしないことになるが、幸いなことにこの領域ではLや V_{th} を小にできる。このLや V_{th} を積極的に 50

小にすることは、高速動作をさせることにつながるからである。

③ 低電圧で動作させる領域では素子分離はより容易にできる。したがってこの分だけ素子分離幅は小にできる。つまり高集積化が可能である。あるいは、素子分離特性に寄与する層間膜厚をうすくできる。したがってこの分だけ平坦化され、配線(例えばAl)の断線が少なくなり高歩留りになる。

すなわち、第6図に示すように、2個の

MOST Q_{n1} , Q_{n2}

の上部を例えばAl配線WAが走っていて、それに高電圧が印加されているとする。また一方のMOSTのドレイン

D_{n1}

に高電圧が、他のMOSTのソース

S_{n2}

に低電圧が印加されているとする。

Q_{n1} と Q_{n2}

を電氣的に分離できる素子分離幅 L_p は、WAに印加される電圧 V_{DP} 、膜間膜厚 t_{DP} に依存し、一般には V_{DP} が小なるほど、 t_{DP} 大なるほど、 L_p は小にできる。したがって t_{OP} 一定のもとで本発明を採用すれば V_{DP} は小であるから、 L_p は小にでき、高集積化できる。また L_p 一定のもとでは t_{OP} を小にできるから、段差の少ない断面にできる。したがってAlの断線は少なくでき、高歩留りとなる。

④ 上記方式の利点をさらに強調するために、メモリアレーならびに直接周辺回路の主要部の拡散層の深さ x_j を完成周辺回路部のそれよりも小にする。すなわち x_j が小なる方が、小さい寸法のMOSTが使えるからである。

尚、あきらかなように、動作状態を考慮することにより、場合によっては、直接周辺回路内の素子寸法も選択的に大きくして使うことも考えられる。たとえば Q_{cl} などはそのドレイン・ソース間に $1.5V_{DP}$ の高電圧が加わるから、大きな寸法のMOSTを使うなどの工夫も必要である。

また、センスアンプSAでは、 Q_A , \overline{Q}_A を余り小さくしすぎると製造バラツキにより、これらのしきい値が一致しないことがあり、メモリセル読出しノイズとなるので、 Q_A , \overline{Q}_A の寸法は選択的に大きくすることが必要である。

なお、第2図のメモリにおける具体的寸法例は第7図のとおりである。これらの各種寸法の組み合わせは、用途に応じて選ぶことは可能である。たとえば、 x_j や t_{OP} は本図のように2種にした方が本発明の利点が最大限活かせるが、製造のしやすから、1種にすることも可能である。

また第3図は、第2図のワード電圧発生回路WGと電圧昇

圧回路VUの回路構成を示す。WGとVUはいずれもデプレッション型のNチャンネルMOST ($V_{th} = -3.5V$) Q_{DN} と、このMOSTのソース電圧を電源電圧とする、従来のパルス発生回路PGとからなる。入力パルス電圧 $\phi_{x'}$ 、 $\phi_{1'}$ の振幅は V_{CC} であるが、デプレッションMOST、 Q_{DN} によってa点の電圧が+3.5Vに保持される。ワード電圧発生回路WG内のパルス発生回路PGは、入力パルス $\phi_{x'}$ の立上りに応答して、電圧 V_{DP} ($=3.5V$) のパルス ϕ_x を出力する。さらに、その後電圧昇圧回路VU内のパルス発生回路PGは、入力パルス $\phi_{1'}$ (振幅 V_{CC}) の立上りに応答して電圧 V_{DP} のパルス ϕ_1 を出力する。この結果、線 W' はキャパシタンス C_B の作用により昇圧されて $\sim 1.5V_{DP}$ となる (第4図)。さて、ここで回路PGの出力電圧を考える。第5図は外部電源電圧 V_{CC} に対する内部電圧 V_{DP} の特性を示したものである。内部電圧 V_{DP} の最大値はMOST Q_{DN} の V_{th} によって一義的に決まるので、内部電圧 V_{DP} の電圧変動の大きさは V_{CC} の電圧変動の大きさよりも小さくなる。また、ワード線 W に印加されるワード線駆動電圧 V_W は内部電圧 V_{DP} の1.5倍の電圧であるから、第5図に示すように内部電圧 V_{DP} と同様に外部電源電圧 V_{CC} の電圧変動の大きさよりも電圧変動の小さいほぼ一定の電圧になる。そのため、線 W' に接続されたメモリセルのトランジスタのゲート絶縁膜は、外部電源電圧 V_{CC} が変化しても、破壊されにくくなっている。また、外部電源電圧 V_{CC} が大きくなっても、内部電圧 V_{DP} やワード線駆動電圧 V_W はほぼ一定なので、それらの電圧が印加される素子については、広い外部電源電圧範囲でも素子破壊されず、かつ素子特性変動の少ない条件下で動作することがわかる。さらに、従来は外部電源電圧変動による素子破壊防止のために大きくしていた素子寸法マージンも小さくすることができるので、メモリセルのトランジスタを小寸法にできることもわかる。このように、内部電圧 V_{DP} とワード線駆動電圧 V_W が外部電源電圧 V_{CC} に対して第5図のような特性を有することは、 V_{CC} を過大にしても、メモリアレーMAや直接周辺に多用されている微細MOSTを破壊から守るとともに、外部電源電圧 V_{CC} の変動によるメモリセルの読み出し時間、書き込み時間等の特性変動を軽減できることを意味する。

なお、第3図に示した回路WG、VUのごとく、D型NMOSとパルス発生回路を用いて、外部電圧 V_{CC} に等しい振幅を有する入力パルスにตอบสนองしてこれより小さい電圧 V_{DP} に等しい振幅を発生する方法はこれらの回路WG、VUに限られず、間接周辺回路50にも用いられる。

第3図に示した、トランジスタ Q_{DN} は V_{CC} 電源を受けて V_{DP} 電圧を出力しているので、内部電源電圧発生回路30もこのトランジスタを用いて構成できる。つまり、 V_{DP} を発生する部分には第3図のようにドレイン、ゲートにそれぞれ V_{CC} 、アース電位が印加される $V_{th} = -3.5V$ のデプレッション型トランジスタを用いれば、そのソースから内部電源電圧 V_{DP} を得ることができる。すなわち、外部電

源電圧 V_{CC} が約3.5V以上では、内部電源電圧 V_{DP} は約3.5Vの安定化された定電圧となる。さらに、 V' を発生する部分には同じ構成のトランジスタのソースに、エンハンス型のトランジスタのドレインとゲートを接続し、このトランジスタのしきいを0.5Vにすれば、このトランジスタのソースから、電源電圧 V' を得ることができる。次に低電圧に変換された電源電圧の印加方式について具体例を述べる。

第8図は、チップ内の間接周辺回路のすべて (PG1, PG2 など) に、共通の電圧コンバータ30からの電圧 V_{DP} を供給する方式である。これらPGからの出力パルスが第2図の $\phi_{1'}$ 、 $\phi_{x'}$ 、 $\phi_{3, ai} \sim aj, ai' \sim aj'$ などになる。この場合30が電流供給能力が十分あれば、間接周辺回路を構成する各パルス発生回路がそれぞれの負荷容量 C_1, C_2, C_3 を駆動したとしても、 V_{DP} の電源変動は特に問題はない。しかし30の電流供給能力が小さければ、各パルス発生回路PGが動作する毎に V_{DP} は変動し、この変動は電源線容量 C_{DP} が大きければ長時間持続する。すなわち、複数のPGは相互に V_{DP} の変動という形で干渉しあい、各PGからは理想的なパルス波形が得られなくなる。この欠点を解決したのが第9図である。各PG毎に電圧コンバータをつけるので上記欠点はなくなる。実は、第3図がその具体的実施例だったわけである。

第10図は、低電圧の出力パルスを必要とするPGとそうでないPGを混在して使う場合の印加方式である。たとえば、PG1あるいはPG4の出力パルスは、前述したように、低電圧パルスを必要とする直接周辺回路あるいはメモリアレーに印加される。

第11図は、第8図の欠点である V_{DP} を介する相互干渉を少くする他の一実施例である。間接周辺回路を構成する各PGを分類すると、ある特定の複数のPGがある時間帯にのみ動作し、他の複数のPGは異なった時間帯にのみ動作するというように、動作する時間帯に応じて複数のPG群に分類できる。たとえば、アドレスマルチプレクス方式のダイナミックメモリなどのように、2個の外部印加クロック (ϕ_1, ϕ_2) のそれぞれに対応して動作する2個のPG群がチップ内部に存在するわけで、この場合、電圧コンバータは、 ϕ_1, ϕ_2 毎に用いられ、 V_{DP} を介して、 ϕ_1 と ϕ_2 と関係するPG間の干渉はなくなる。あるいは、第12図のように、入力信号 ϕ がONの場合に動作するPG (PG1, PG2, PG3, ...) とOFFの場合に動作するPG (PG1', PG2', PG3', ...) とに分けて、すなわち ϕ の論理状態に対応して動作する2種のPG群に分けて、それぞれに電圧コンバータ30を接続する方法も考えられる。ここでダイナミックメモリの例をとると、 ϕ がONの場合は、メモリ動作をさせる時間帯に、またOFFの場合はプリチャージ動作をさせる時間帯に対応する。

次に電圧コンバータ自身の回路方式について第3図以外の実施例を述べる。説明を簡単にするため通常用いられるダイナミック型パルス発生回路を用いて説明する。こ

13

のパルス回路PGの動作の詳細は、昭和54年度電子通信学会半導体・材料部門全国大会No. 69に記されている。その概略を第13図で説明する。すなわち、入力 ϕ_1 が印加されると、 Q_D のゲート電圧は高電位から低電位に放電されて、 Q_D はOFFになり、同時に Q_L のゲート電圧は低電位から高電位（ブートストラップ容量を用いて V_{CC} 以上の高電位に充電される）になる結果、 Q_L はONになり、出力 ϕ_0 は低電位（0V）から高電位（ V_{CC} ）になる。このような回路形式で、低電圧の出力パルスを得るには、第3図のような実施例があげられる。しかし場合によって 10

$\phi_{01} \sim \phi_{04}$

の振幅も V_{CC} であるが、ある特定の出力

（たとえば ϕ_{01}' ， ϕ_{04}' ）

だけは余分に、より低電圧振幅（ V_{DP} ）のパルスも出力して、この低電圧パルスを直接周辺回路やメモリアレーに印加したい場合もあり得る。この場合の電圧コンバー 20

タの実施例を第15, 16に示した。
第15図は、第13図の出力段に ϕ_0' 用のインバータ Q_L' と Q_D' を並列に付加した例である。 Q_{DN} は第3図と同じデプレッションMOSTである。また16図は、 Q_D と Q_L に直列に第3図と同じデプレッションMOST Q_{DN} を付加し、その両端から出力をとり出した例である。明らかに ϕ_0 は V_{CC} までの振幅が得られ、デプレッションMOSTのしきい値電圧で規制されて V_{DP} の振幅になった ϕ_0' が、 ϕ_0 と同時刻に得られる。

また第17図は、第16図の ϕ_0' を、第3図に示すように 30

昇圧した例である。
以上のように低いレベルをとるパルス発生回路を述べてきたが、このままでは高信頼性の集積回路は得られない。すなわち、通常の集積回路では最終製造工程の後に、エージング試験と称して、通常動作で用いられる電源電圧よりも十分高い電圧を故意にチップ内の各トランジスタに印加することによって、ゲート酸化膜不良などでもともと故障のおこりそうなトランジスタを初期に見つけることによって、信頼性を保証している。しかし本例で述べたように、内部電源電圧発生回路30が内部電源 40 電圧 V_{DP} を定電圧化してしまうと、外部電源電圧を高くしても、各トランジスタには十分高い電圧が印加されないため、十分なエージング試験は不可能である。そこでエージング試験の場合のみ、たとえばデプレッションMOSTのゲート電圧をアース電位よりも高くすることが考えられる。こうすることにより、デプレッションMOSTのよく知られた性質から明らかのように、ゲート電圧を高くした分だけ出力電圧は高くなるわけである。エージング時に印加する手段としては第18図に示すように、スイッチSWによってデプレッションMOST Q_{DN} のゲート電圧 50

14

を、通常の動作時にはアース電位に、またエージング時には適当な電圧 V_E にすればよい。第19図はその具体的実施例である。すなわち、チップ内の複数の Q_{DN} のゲートは、チップ内の抵抗Rによって、チップ内でアースに接続される。一方ゲートはボンディングパッドPDを介してパッケージのピンPNに接続される。通常の動作時に、このピンをオープンにしておけば、各 Q_{DN} のゲートはアース電位になる。またエージング時にこのピンに電位を印加すれば、 Q_{DN} のソースには、電圧を印加した分だけ高い電圧が得られるわけである。

第20図は、上記のようにエージング用のピンをわざわざ設けずに、チップに加わる外部クロックの位相関係をエージング時のみ調整し、同じ効果を得るための実施例である。たとえばダイナミックRAMでは、よく知られているように、2種の外部クロックRAS（Row Address Strobe）とCAS（Column Address Strobe）の適当なタイミング関係で動作する。通常、RASが高レベルでCASが低レベルの組み合わせでは用いないので、逆にこの組み合わせをエージング時に用いればよい。すなわち第20図のような論理をとることにより、上記組み合わせの場合のみ Q_{DN} のゲートがアース電位よりも高い電位をとることができる。

なお以上の実施例は、説明の都合上、デプレッションMOSTの実施例であったが、明らかにエンハンスMOSTでも可能である。ただし、デプレッションMOSTの例と同じ効果を得るには、そのゲートに一定の定電圧を印加する必要がある。たとえば、エンハンスMOSTのソースに定電圧 V_{DP} を得るには、このエンハンスMOSTのゲートに定電圧 $V_{DP} + V_{th}$ （ V_{th} :エンハンスMOSTのしきい電圧）を印加する必要がある。外部電源電圧の変動によらず、 $V_{DP} + V_{th}$ をチップ上で一定にすることは一般に可能であるから、上記のエンハンスMOSTを使うことができるわけである。以上から高集積で高信頼度のメモリが可能となる。尚本方式はダイナミックMOSメモリ以外にも、たとえばスタティックMOSメモリやバイポーラメモリその他のメモリあるいは、上記の概念が適用できる集積論理回路にも適用できることは明らかである。

〔発明の効果〕

本発明によれば、ワード線の選択時にワード線駆動回路からワード線に印加されるワード線駆動電圧は外部電源電圧の電圧変動の大きさより小さな電圧変動となる内部電圧を昇圧した電圧に設定されるので、外部電源電圧の変動にかかわらず、メモリセルのトランジスタのゲートに印加される電圧の変動が少なくなり、広い外部電源電圧範囲で半導体集積回路を動作させることができ、さらにゲート電圧変動が小さいのでメモリセルのトランジスタの寸法マージンを小さくできるためメモリセルのトランジスタを小寸法とでき、またこのトランジスタのゲート絶縁膜の破壊を防止することができ、またデータ線に印加される内部電圧は外部電源電圧より小さいので、デ

15

ータ線の充放電に伴う消費電力が低減され、さらにワード線駆動電圧はデータ線に印加される内部電圧より大きな値に昇圧されているので、メモリセルのトランジスタが十分にオンとされ、外部電源電圧の変動にかかわらず、メモリセルの読み出し電圧と書き込み電圧が大きくなり、また読み出し時間と書き込み時間とが短縮され、高速、低消費電力の半導体集積回路を提供することができる。

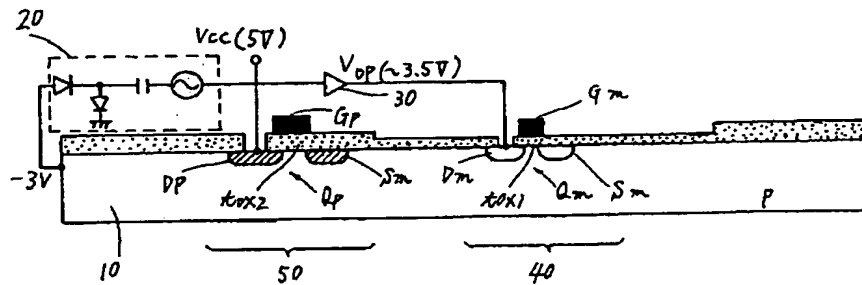
【図面の簡単な説明】

第1図から第20図は、本発明の実施例を示す図である。

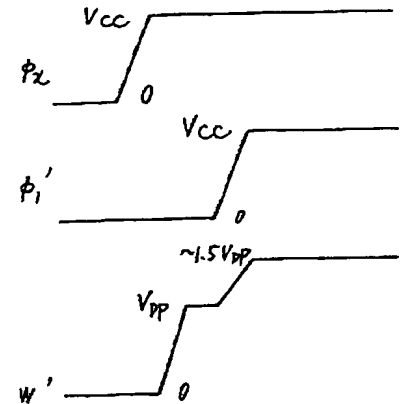
符号の説明

- 10……基板、
20……基板電圧発生回路、
30……内部電源電圧発生回路、
40……第1の回路部、
50……第2の回路部。

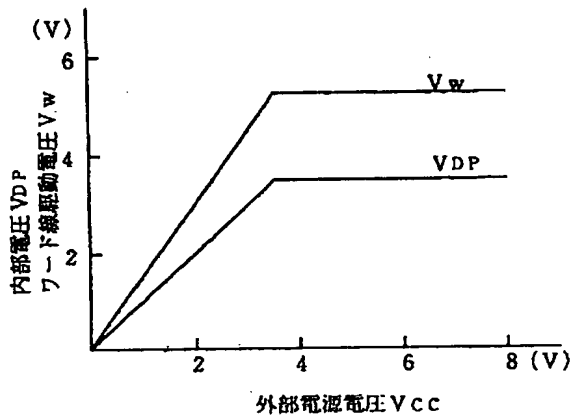
【第1図】



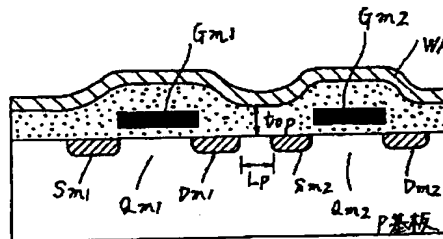
【第4図】



【第5図】

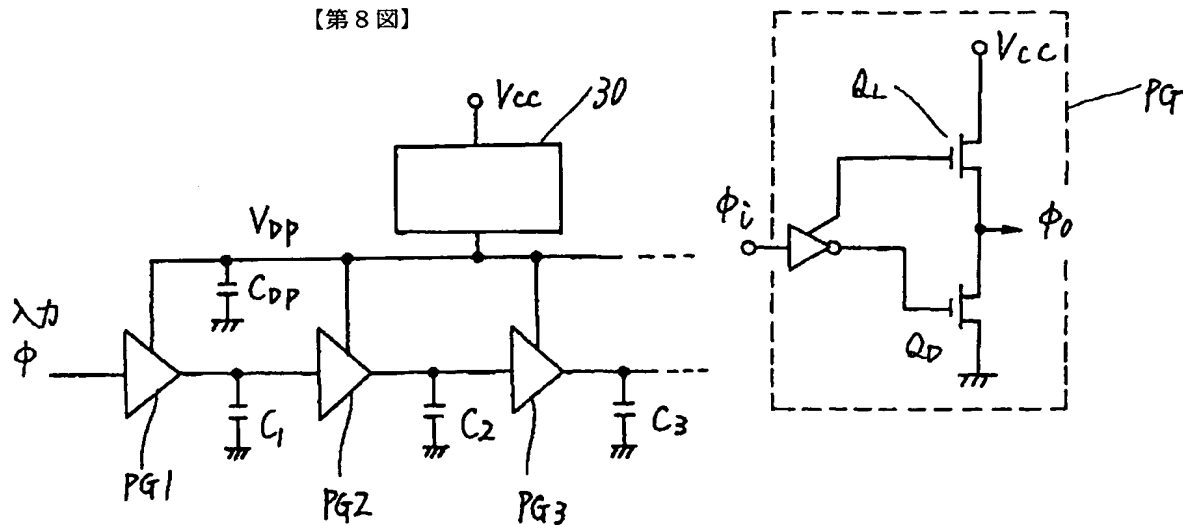


【第6図】

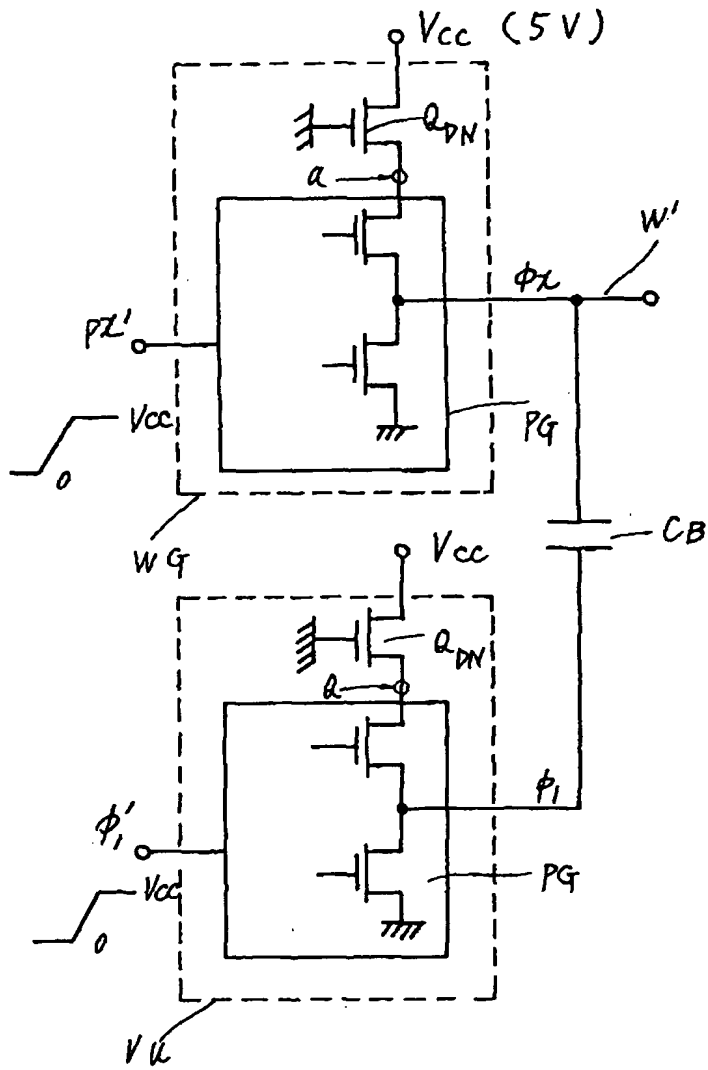


【第13図】

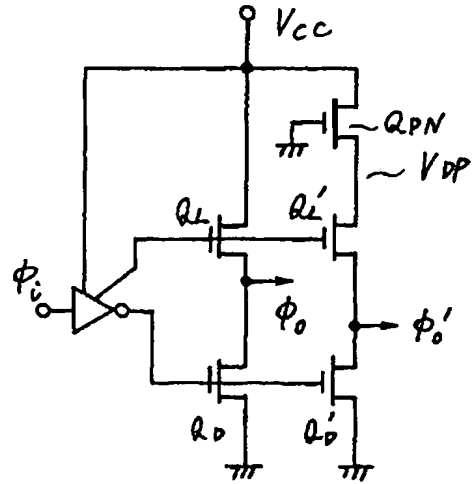
【第8図】



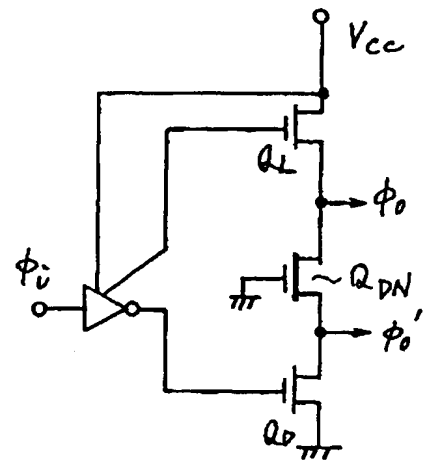
【第3図】



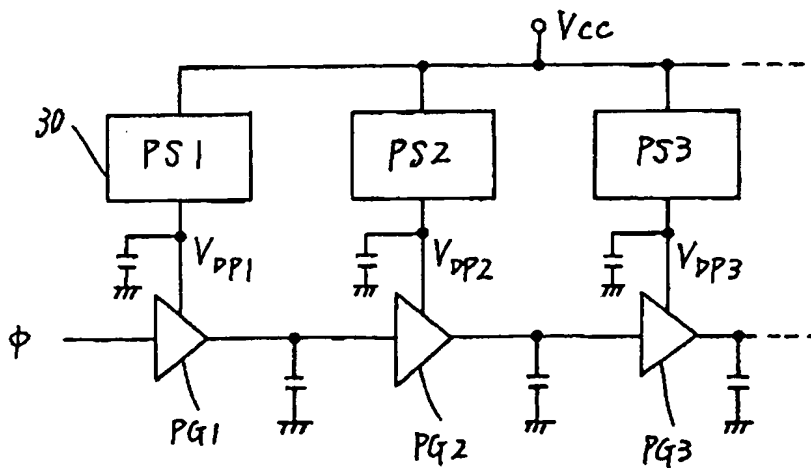
【第15図】



【第16図】



【第9図】

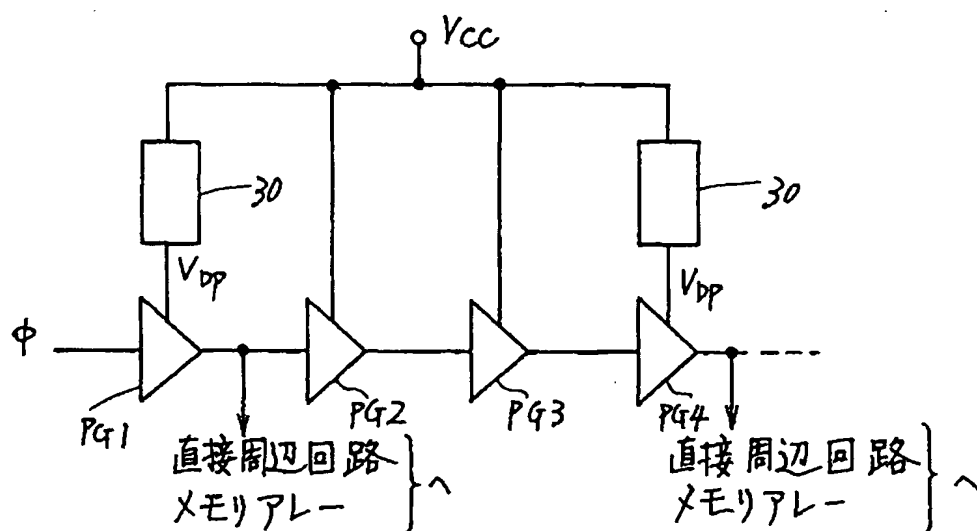


【第7図】

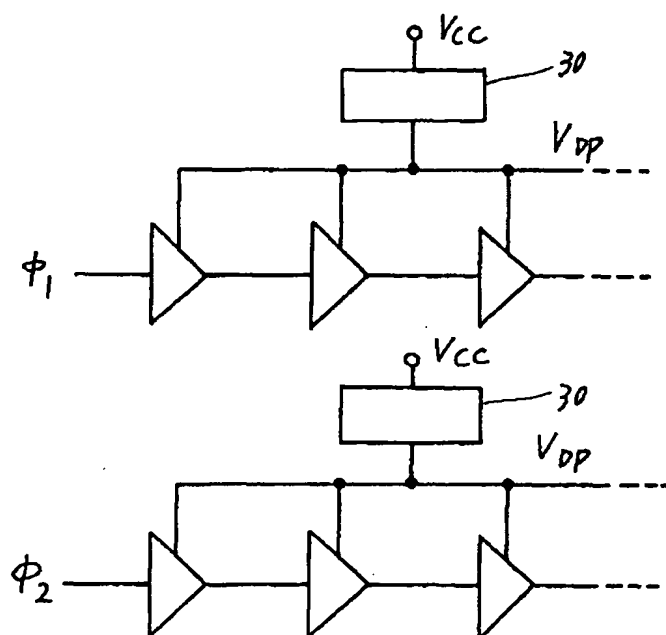
回路素子	M O S T					抵抗	M O S T 間 分離巾	M O S T 間 の絶縁膜 厚さ
	ゲート長	チャンネル長	ゲート 絶縁膜厚	拡散層 深さ	しきい値			
寸法								
記号	L_g	L	t_{ox}	λ	V_{th}	λ_j	L_p	top
間接周 辺回路	$2.0 \sim 2.5 \mu m$	$1.5 \sim 2.0 \mu m$	400 \AA	0.2μ	$0.5 \sim 0.3 V$	$0.2 \mu m$	$1.5 \sim 2.0 \mu m$	$6000 \sim 10000 \text{ \AA}$
直接周 辺回路 と メモリアル	$1.2 \sim 1.5 \mu m$ 但し Q_A, \bar{Q}_A に ついては $3.0 \mu m$	$0.7 \sim 1.0 \mu m$ 但し Q_A, \bar{Q}_A に ついては $2.5 \mu m$	200 \AA	0.2μ	$0.3 \sim 0.1 V$	$0.2 \mu m$	1μ	$4000 \sim 5000 \text{ \AA}$

(単位 μm)

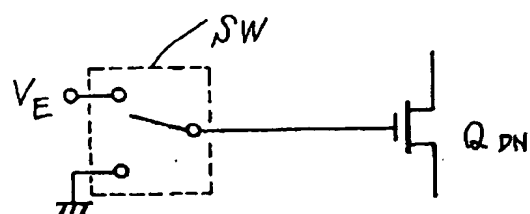
【第10図】



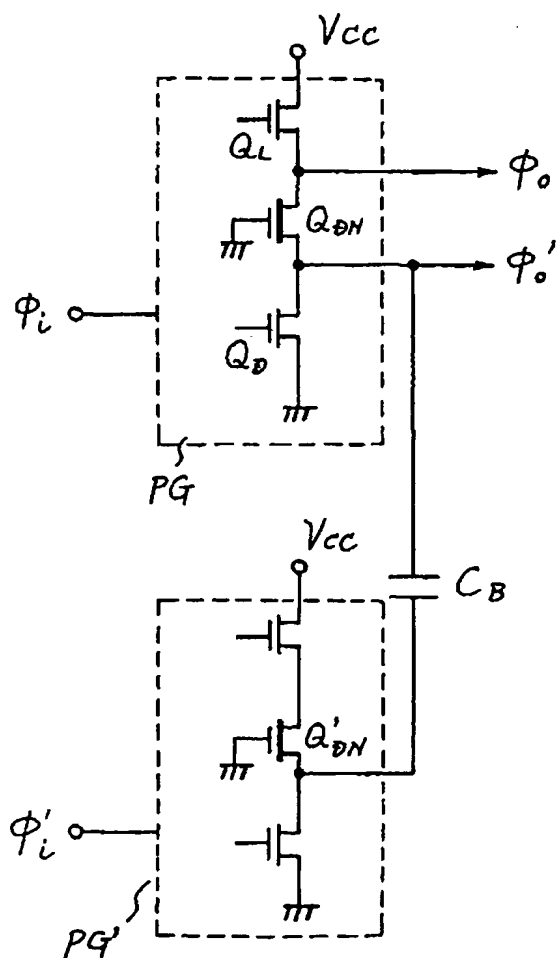
【第11図】



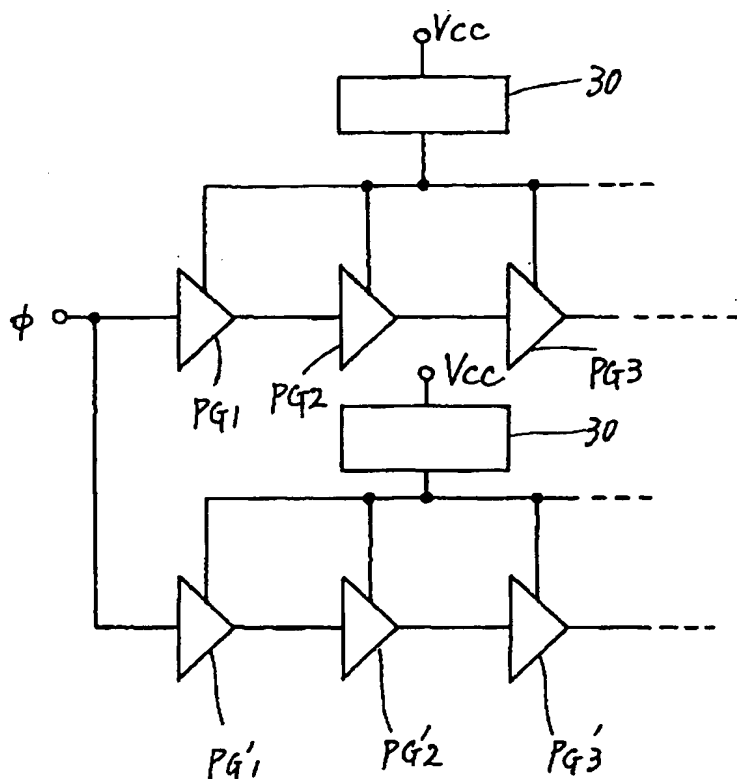
【第18図】



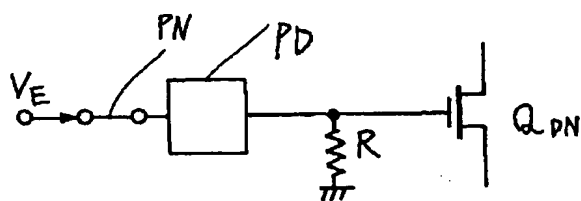
【第17図】



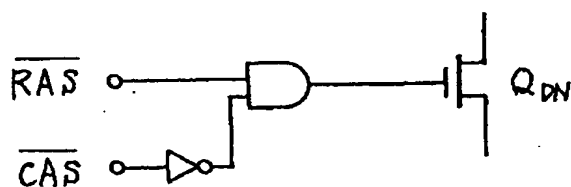
【第 12 図】



【第 19 図】



【第 20 図】



フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/34

M

(56) 参考文献 特開 昭52-106279 (J P, A)

特開 昭54-61429 (J P, A)

特開 昭55-17869 (J P, A)

特開 昭56-74888 (J P, A)